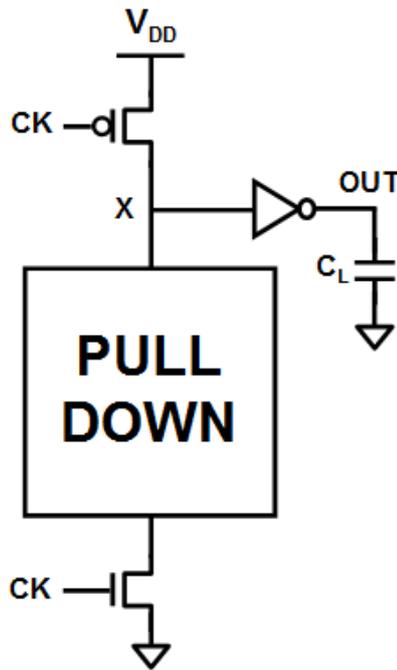


### Esercizio 1



#### Parametri tecnologici

$$\begin{aligned}
 V_{DD} &= 1\text{V} \\
 V_{Tn} &= 0.25\text{V} \\
 V_{Tp} &= -0.25\text{V} \\
 \beta'_n &= 200\mu\text{A}/\text{V}^2 \\
 \beta'_p &= 100\mu\text{A}/\text{V}^2 \\
 C_{ox} &= 23\text{fF}/\mu\text{m}^2 \\
 L_{min} &= 0.09\mu\text{m} \\
 \lambda &= \gamma = 0
 \end{aligned}$$

Con riferimento al circuito in figura, considerando i transistori esauriti al 90% dell'escursione di tensione, assumendo istantanei i fronti dei segnali applicati agli ingressi, assumendo che i fattori di forma dei transistori siano descritti da un numero intero e assumendo  $C_L = 40\text{ fF}$ , il Candidato risponda ai seguenti quesiti:

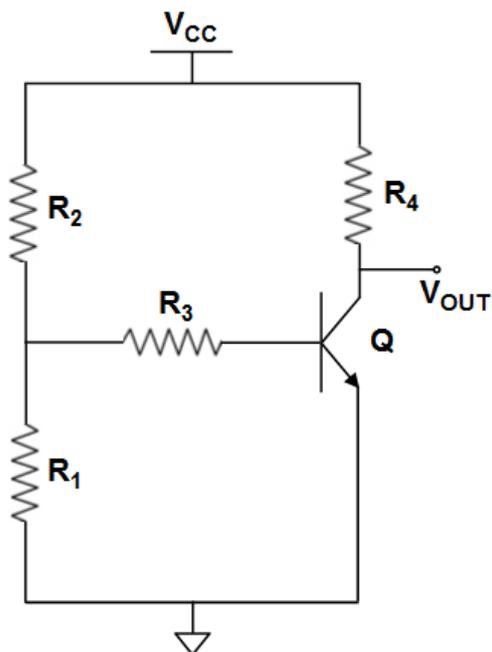
1. A quale famiglia logica appartiene il circuito? Si realizzi la rete di Pull Down del circuito in modo che la funzione logica realizzata al nodo OUT sia

$$\text{OUT} = \overline{D} + (A + \overline{B}) \cdot (C + \overline{D} \cdot B)$$

2. Dimensionare i fattori di forma  $S_{N,INV}$  e  $S_{P,INV}$  dei transistori del gate logico NOT del II stadio in modo che, a fronte di una transizione istantanea della tensione al nodo X, risulti: (a) il gate logico sia bilanciato (identica durata dei transistori in salita e in discesa); (b) la durata dei transistori sia non superiore a 60ps; (c) il gate logico sia progettato ad area minima.
3. Identificare i pattern di transizione degli ingressi per cui la durata del transitorio durante la fase di valutazione al nodo OUT è massima (caso peggiore).
4. Dimensionare i fattori di forma dei transistori del primo stadio in modo tale che la durata dei transistori sul nodo OUT sia non superiore a 100ps sia in precarica che in valutazione (si assuma che tutti i transistori NMOS del I stadio abbiano medesimo fattore di forma  $S_{N1}$  e tutti i PMOS fattore di forma  $S_{P1}$ ).
5. Assumendo ora per gli ingressi  $A = B = C = D = 1$  e assumendo che il segnale di clock CK sia pilotato da una onda quadra di duty-cycle 50% e frequenza 75 MHz, si determini la potenza statica media e la potenza dinamica media dissipata dall'intero circuito.
6. Realizzare in logica FCMOS a singolo stadio la funzione logica del punto (1).

ESAME DI STATO PER L'ABILITAZIONE ALLA PROFESSIONE DI INGEGNERE  
 SECONDA SESSIONE 2016 – SEZIONE A  
 SETTORE INFORMAZIONE  
 Prova Pratica di Progettazione  
 TEMA N. 3: ELETTRONICA

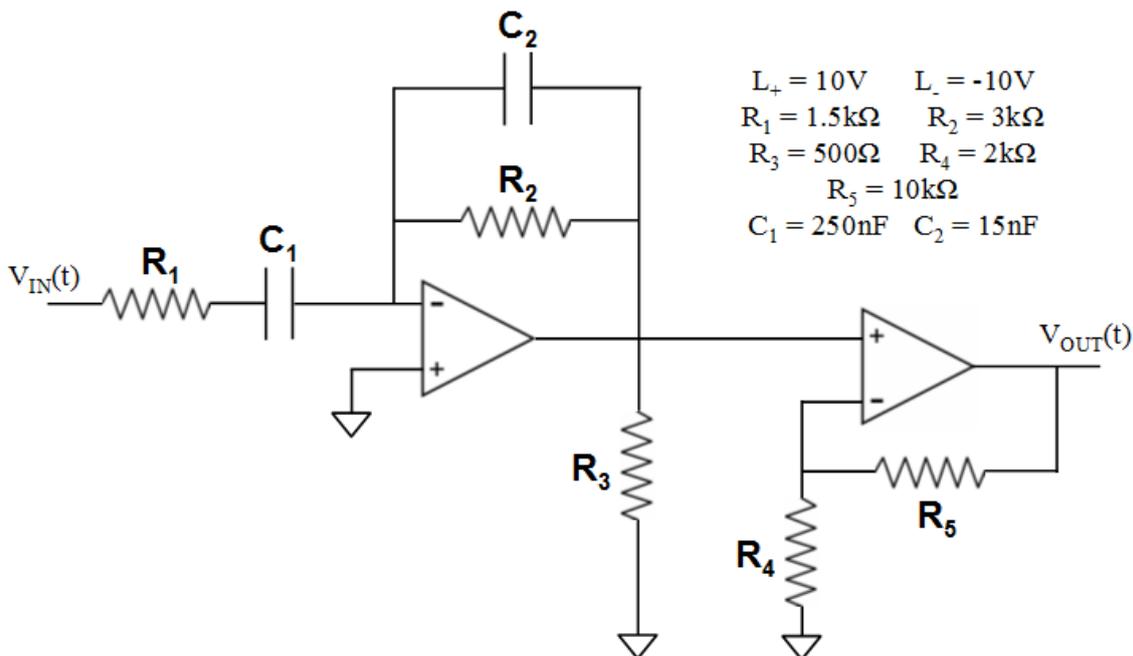
**Esercizio 2**



$$\begin{aligned}
 V_{CC} &= 3.3 \text{ V} \\
 R_1 &= 5 \text{ k}\Omega & R_2 &= 5 \text{ k}\Omega \\
 R_3 &= 20 \text{ k}\Omega & R_4 &= 250 \Omega \\
 V_{BE,ON} &= 0.7 \text{ V} & V_{CE,SAT} &= 0.2 \text{ V} \\
 \beta_F &= 100
 \end{aligned}$$

Con riferimento al circuito in figura, assumendo per il transistor BJT un modello a soglia (cioè  $V_{BE} < V_{BE,ON}$  quando il transistor è interdetto,  $V_{BE} = V_{BE,ON}$  quando il transistor è in conduzione), il Candidato calcoli la tensione al nodo  $V_{OUT}$ .

**Esercizio 3**



$$\begin{aligned}
 L_+ &= 10 \text{ V} & L_- &= -10 \text{ V} \\
 R_1 &= 1.5 \text{ k}\Omega & R_2 &= 3 \text{ k}\Omega \\
 R_3 &= 500 \Omega & R_4 &= 2 \text{ k}\Omega \\
 & & R_5 &= 10 \text{ k}\Omega \\
 C_1 &= 250 \text{ nF} & C_2 &= 15 \text{ nF}
 \end{aligned}$$

Con riferimento al circuito in figura e assumendo gli amplificatori operazionali ideali e operanti in regione di alto guadagno, il Candidato risponda ai seguenti quesiti.

1. Determinare la funzione di trasferimento del circuito  $H(j\omega) = V_{OUT}(j\omega)/V_{IN}(j\omega)$ .
2. Calcolare le frequenze di poli e zeri di  $H(j\omega)$ .